

#3 PD
11-2-01

Jc872 U.S. PTO
09/922786
08/07/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Yasuo GAMO, et al.**

Serial No.: **Not Yet Assigned**

Filed: **August 7, 2001**

For: **SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

August 7, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

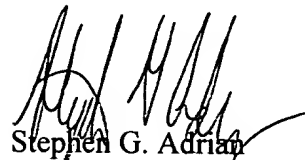
Japanese Appln. No. 2001-076585, filed March 16, 2001

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON, LLP


Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 010999
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/ll

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月16日

出 願 番 号

Application Number:

特願2001-076585

出 願 人

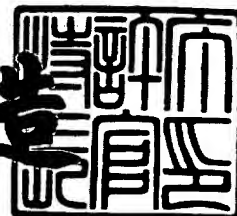
Applicant(s):

富士通株式会社

2001年 5月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3041878

【書類名】 特許願

【整理番号】 0041250

【提出日】 平成13年 3月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 蒲生 康男

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 高橋 浩司

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特 2 0 0 1 - 0 7 6 5 8 5

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の活性領域の表層に不純物を導入し、所定の雰囲気中で前記半導体基板を熱処理してソース領域及びドレイン領域を形成する第 1 の工程と、

前記第 1 の工程の後、前記活性領域を覆うように、電荷捕獲機能を有する第 1 の絶縁膜の上下を第 2 及び第 3 の絶縁膜で挟む少なくとも 3 層からなる積層膜を形成する第 2 の工程と、

前記積層膜上に電極材料を堆積し、前記電極材料及び前記積層膜をパターニングすることにより、前記半導体基板上で前記積層膜を介した所定形状のゲート電極を形成する第 3 の工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 3 の工程において、前記ゲート電極を前記半導体基板上で前記積層膜を介して前記ソース領域上及び前記ドレイン領域上を交差するように形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の工程において、前記不純物導入を行った後、続いて前記活性領域に増速酸化抑制機能を有する物質を導入し、所定の雰囲気中で前記半導体基板を熱処理して前記ソース領域及び前記ドレイン領域を形成することを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 前記増速酸化抑制機能を有する物質は窒素、炭素、窒素又は炭素を含む化合物から選ばれた一種であることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 半導体基板の表層にソース領域及びドレイン領域を備え、前記半導体基板上の前記ソース領域と前記ドレイン領域との間に、電荷捕獲機能を有する第 1 の絶縁膜の上下を第 2 及び第 3 の絶縁膜で挟む少なくとも 3 層からなる積層膜を介してゲート電極が形成されてなる半導体装置であって、

前記ゲート電極は、前記半導体基板上で前記積層膜を介して前記ソース領域上及び前記ドレイン領域上を交差するように形成されており、

前記ソース領域及び前記ドレイン領域は、前記不純物と共に、増速酸化抑制機

能を有する物質を含むことを特徴とする半導体装置。

【請求項 6】 前記増速酸化抑制機能を有する物質は窒素、炭素、窒素又は炭素を含む化合物から選ばれた一種であることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 半導体基板の表層にソース領域及びドレイン領域を備え、前記半導体基板上の前記ソース領域と前記ドレイン領域との間に、電荷捕獲機能を有する第 1 の絶縁膜の上下を第 2 及び第 3 の絶縁膜で挟む少なくとも 3 層からなる積層膜を介してゲート電極が形成されてなる半導体装置の製造方法であって、半導体基板の活性領域の表層に不純物を導入し、所定の雰囲気中で前記半導体基板を熱処理して前記ソース領域及び前記ドレイン領域を形成した後に、前記積層膜を形成することを特徴とする半導体装置の製造方法。

【請求項 8】 前記ゲート電極を前記半導体基板上で前記積層膜を介して前記ソース領域上及び前記ドレイン領域上を交差するように形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記不純物導入を行った後、続いて前記活性領域に増速酸化抑制機能を有する物質を導入し、所定の雰囲気中で前記半導体基板を熱処理して前記ソース領域及び前記ドレイン領域を形成することを特徴とする請求項 7 又は 8 に記載の半導体装置の製造方法。

【請求項 10】 前記増速酸化抑制機能を有する物質は窒素、炭素、窒素又は炭素を含む化合物から選ばれた一種であることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板とゲート電極との間に、電荷捕獲機能を有する絶縁膜及びこれを上下で挟み込む絶縁膜を含む積層膜が設けられてなる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

従来から、電源を断っても記憶情報が保持される不揮発性メモリとして、半導体基板に形成された不純物拡散層をビットライン（埋め込みビットライン）とし、これらと直交するように半導体基板上に容量絶縁膜を介してワードラインが形成されてなる半導体メモリが案出されており、EEPROMのような2層電極構造に比べて構造を簡素化することができ、素子の更なる小型化・微細化への対応が期待されている。

【 0 0 0 3 】

この半導体メモリでは、前記容量絶縁膜として、シリコン窒化膜に代表される電荷捕獲機能を有する絶縁膜の上下をシリコン酸化膜等の絶縁膜で挟み込んでなる、少なくとも3層構造の積層膜を用いるのが好適である。この積層膜の代表例としては、電荷捕獲機能を有するシリコン窒化膜をシリコン酸化膜で挟持してなるシリコン酸化膜111／シリコン窒化膜112／シリコン酸化膜113構造のいわゆるONO膜が知られている。

【 0 0 0 4 】

この半導体メモリの場合、ソース／ドレインとして機能する埋め込みビットライン上を前記積層膜を介してワードラインが交差するため、ビットラインとワードラインとの間の電氣的絶縁を十分に確保する必要がある。この観点を踏まえて、従来の埋め込みビットライン構造の半導体メモリの製造方法について以下で概説する。

【 0 0 0 5 】

（従来例1）

ここでは、ONO膜をそのままビットライン－ワードライン間の電氣的絶縁膜として用いる。

具体的には、先ず図14（a）に示すように、例えばp型のシリコン半導体基板101の活性領域上にシリコン酸化膜111／シリコン窒化膜112／シリコン酸化膜113を順次積層してONO膜102を形成し、このONO膜102上にレジストパターン103を形成した後、このレジストパターン103をマスクとして、砒素等のn型不純物をONO膜102を通過する条件で半導体基板101の表層にイオン注入する。

【 0 0 0 6 】

続いて、レジストパターン 1 0 3 を灰化处理等により除去し、半導体基板 1 0 1 をアニール処理することにより、ソース/ドレインとして機能する埋め込みビットライン 1 0 4 を形成する。

【 0 0 0 7 】

続いて、図 1 4 (b) に示すように、ONO 膜 1 0 2 上に電極材料を成膜し、これをパターニングすることにより、ONO 膜 1 0 2 を介して埋め込みビットライン 1 0 4 と交差し、ゲート電極として機能するワードライン 1 0 5 を形成する。

【 0 0 0 8 】

しかる後、層間絶縁膜やコンタクト孔、各種配線層の形成等の後工程を経て、半導体メモリを完成させる。

【 0 0 0 9 】

(従来例 2)

ここでは、ビットライン上の ONO 膜のうち、最下層のシリコン酸化膜のみを厚く形成し、電氣的絶縁を確保する。

【 0 0 1 0 】

具体的には、先ず図 1 5 (a) に示すように、例えば p 型のシリコン半導体基板 1 0 1 の活性領域上に ONO 膜 1 0 2 を形成し、この ONO 膜 1 0 2 上にレジストパターン 1 0 3 を形成した後、このレジストパターン 1 0 3 をマスクとして、ONO 膜 1 0 2 の上層のシリコン酸化膜 1 1 3 及びシリコン窒化膜 1 1 2 をパターニングし、レジストパターン 1 0 3 を除き最下層のシリコン酸化膜 1 1 1 のみを残す。

【 0 0 1 1 】

続いて、レジストパターン 1 0 3 をマスクとして、砒素等の n 型不純物を最下層のシリコン酸化膜 1 1 1 を通過する条件で半導体基板 1 0 1 の表層にイオン注入する。

【 0 0 1 2 】

続いて、レジストパターン 1 0 3 を除去し、半導体基板 1 0 1 を酸素雰囲気中

でアニール処理することにより、ソース／ドレインとして機能する埋め込みビットライン104を形成する。このとき、図15(b)に示すように、前記アニール処理により、シリコン酸化膜111のビットライン104上の部位に半導体基板101内における砒素の存在に起因して増速酸化が生じ、シリコン酸化膜111は当該部位で40nm～60nm程度の厚みとなる。

【0013】

続いて、図15(c)に示すように、電極材料を成膜し、これをパターニングすることにより、シリコン酸化膜111を介して埋め込みビットライン104と交差し、ゲート電極として機能するワードライン105を形成する。

【0014】

しかる後、層間絶縁膜やコンタクト孔、各種配線層の形成等の後工程を経て、半導体メモリを完成させる。

【0015】

(従来例3)

ここでは、電氣的絶縁を確保のため、ビットライン上に厚いシリコン酸化膜を形成した後、ビットラインを形成する。

【0016】

具体的には、先ず図16(a)に示すように、例えばp型のシリコン半導体基板101の活性領域上に薄い犠牲酸化膜106を形成し、この犠牲酸化膜106上にレジストパターン103を形成した後、このレジストパターン103をマスクとして、砒素等のn型不純物を犠牲酸化膜106を通過する条件で半導体基板101の表層にイオン注入する。

【0017】

続いて、図16(b)に示すように、レジストパターン103を除去した後、半導体基板101を酸素雰囲気中でアニール処理することにより、ソース／ドレインとして機能する埋め込みビットライン104を形成する。このとき、前記アニール処理により、犠牲酸化膜106のビットライン104上の部位に半導体基板101内における砒素の存在に起因して増速酸化が生じ、犠牲酸化膜106は当該部位で40nm～60nm程度の厚みとなる。

【0018】

続いて、図16(c)に示すように、チャネル領域上の犠牲酸化膜106を除去した後、活性領域上にONO膜102を形成する。このとき、ONO膜102の形成時における熱処理の影響で、ビットライン104上に存する犠牲酸化膜106の厚みが50nm～90nm程度に増加する。

【0019】

続いて、図16(d)に示すように、電極材料を成膜し、これをパターニングすることにより、犠牲酸化膜106を介して埋め込みビットライン104と交差し、ゲート電極として機能するワードライン105を形成する。

【0020】

しかる後、層間絶縁膜やコンタクト孔、各種配線層の形成等の後工程を経て、半導体メモリを完成させる。

【0021】

【発明が解決しようとする課題】

上述した各製造方法によれば、ビットラインとワードラインとの間に電氣的絶縁が保たれた埋め込みビットライン構造の半導体メモリを製造することができる。しかしながらその反面、前記各製造方法には以下に示すような問題点がある。

【0022】

従来例1で説明した製造方法の場合、ビットライン104とワードライ105との間の電氣的絶縁をONO膜102のみで確保するため、ONO膜102の耐圧を上げておく必要がある。ところが本製法では、ビットライン104を形成するための砒素のイオン注入をONO膜102を通過させて行うため、必然的にONO膜102は損傷を受ける。更には、ONO膜102を構成する最上層のシリコン酸化膜113が後工程の処理でエッチングされてしまうため、ONO膜102の十分な耐圧を確保することは困難である。

【0023】

従来例2で説明した製造方法の場合、熱処理によりビットライン104上のシリコン酸化膜111を厚くする際に、ビットライン104上にはシリコン酸化膜111のみ存した状態であるため、チャネル領域の両サイドに酸素の回り込みに

よるバースピークが形成される。更には、通常メモリセル領域の形成時にその周辺回路領域を同時に形成するが、この周辺回路領域を構成するトランジスタのゲート絶縁膜を形成する際の数回の熱処理により、ビットライン104上のシリコン酸化膜111が更に厚く(100nm~150nm程度)なり、それに伴ってバースピークの度合いも大きくなってしまう。

【0024】

従来例3で説明した製造方法の場合、ビットライン104上の犠牲酸化膜106は、ビットライン104の不純物拡散時、及びONO膜102形成時における各熱処理に起因する増速酸化により、当該部位における厚みの増大化とともにバースピークも大きく成長してしまう。

【0025】

このように、埋め込みビットライン構造の半導体メモリを製造するに際して、ビットラインとワードラインとの間の電氣的絶縁を確保することが困難となり、当該電氣的絶縁の確保は可能であるものの、これによりバースピークの発生を誘発して電荷保持特性の著しい劣化を招くという深刻な問題がある。

【0026】

そこで本発明は、前記課題に鑑みてなされたものであり、ビットラインとワードラインとの間の電氣的絶縁を十分確保するとともに、バースピークの発生等の不都合を抑止して優れた電荷保持特性を実現する半導体装置及びその製造方法、特に埋め込みビットライン構造の半導体メモリを提供することを目的とする。

【0027】

【課題を解決するための手段】

本発明者は、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0028】

本発明では、半導体基板の表層にソース領域及びドレイン領域を備え、前記半導体基板上の前記ソース領域と前記ドレイン領域との間に、電荷捕獲機能を有する第1の絶縁膜の上下を第2及び第3の絶縁膜で挟む少なくとも3層からなる積層膜を介してゲート電極が形成されてなる半導体装置及びその製造方法を対象とする。

【 0 0 2 9 】

本発明の半導体装置の製造方法は、半導体基板の活性領域の表層に不純物を導入し、所定の雰囲気中で前記半導体基板を熱処理してソース領域及びドレイン領域を形成する第 1 の工程と、前記第 1 の工程の後、前記活性領域を覆うように、電荷捕獲機能を有する第 1 の絶縁膜の上下を第 2 及び第 3 の絶縁膜で挟む少なくとも 3 層からなる積層膜を形成する第 2 の工程と、前記積層膜上に電極材料を堆積し、前記電極材料及び前記積層膜をパターニングすることにより、前記半導体基板上で前記積層膜を介した所定形状のゲート電極を形成する第 3 の工程とを含む。

【 0 0 3 0 】

ここで、前記第 1 の工程において、前記不純物導入を行った後、続いて前記活性領域に増速酸化抑制機能を有する物質を導入し、所定の雰囲気中で前記半導体基板を熱処理して前記ソース領域及び前記ドレイン領域を形成することが好適である。

【 0 0 3 1 】

この場合、前記活性領域に前記増速酸化抑制機能を有する物質を導入するに際して、前記活性領域表面に対して斜め方向から前記物質をイオン注入することが好適である。

【 0 0 3 2 】

本発明の半導体装置は、前記ゲート電極が、前記半導体基板上で前記積層膜を介して前記ソース領域上及び前記ドレイン領域上を交差するように形成されており、前記ソース領域及び前記ドレイン領域が、前記不純物と共に、増速酸化抑制機能を有する物質を含むように構成される。

【 0 0 3 3 】

【発明の実施の形態】

以下、本発明を適用した好適な諸実施形態について、図面を参照しながら詳細に説明する。

【 0 0 3 4 】

(第 1 の実施形態)

本実施形態では、半導体装置として、いわゆる埋め込みビットライン型のフラッシュメモリについて例示する。ここでは便宜上、フラッシュメモリの構造をその製造工程と共に説明する。

【0035】

図1、図2は、第1の実施形態による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

このフラッシュメモリを製造するには、先ず図1(a)に示すように、p型のシリコン半導体基板1を用意し、この半導体基板1の表面に例えばLOCOS法により素子分離領域にフィールド酸化膜（不図示）形成して素子分離を施し、メモリセル領域の活性領域2及びCMOSトランジスタ等が形成される周辺回路領域の活性領域（不図示）を画定する。

【0036】

この場合、LOCOS法を用いる代わりに、半導体基板1の素子分離領域に溝（不図示）を形成し、当該溝内に絶縁物を充填させて活性領域を画定するようにしても良い。

【0037】

続いて、活性領域2上に酸素雰囲気中で900℃～1100℃の熱処理を施して200nm～500nm程度の膜厚の犠牲酸化膜3を形成した後、犠牲酸化膜3上にレジストを塗布し、このレジストをフォトリソグラフィーにより加工して各々が所定間隔離間する帯状の各レジストパターン4を形成する。

【0038】

続いて、図1(b)に示すように、各レジストパターン4をマスクとして、半導体基板1の表層に犠牲酸化膜3を通過する条件、ここでは加速エネルギー50keV、ドーズ量 $2\sim 3\times 10^{15}/\text{cm}^2$ の条件でn型不純物、例えば砒素(As)をイオン注入し、レジストパターン4を灰化処理等の手法により除去した後、窒素雰囲気中（不活性ガス中でも良い。）で1050℃、10分のアニール処理を行い、イオン注入した砒素を活性化し、帯状の各ビットライン5を形成する。これらビットライン5は、当該フラッシュメモリのソース/ドレインとして機能することになる。

【0039】

続いて、図1(c)に示すように、半導体基板1上に、シリコン酸化膜／シリコン窒化膜／シリコン酸化膜からなる3層構造のONO膜6を成膜する。

具体的には、先ず、熱酸化により半導体基板1上にシリコン酸化膜21を7nm～8nm程度の膜厚に形成する。このとき熱処理により、ビットライン5内に存する砒素に起因して、シリコン酸化膜21の当該ビットライン5上の部位が増速酸化されて30nm～50nm程度に膜厚が増加する。

【0040】

続いて、シリコン酸化膜21上にCVD法により600℃～800℃でシリコン窒化膜22を膜厚5nm程度に形成する。そして、シリコン窒化膜22上にCVD法によりシリコン酸化膜23を膜厚10nm程度に形成し、ONO膜6とする。

【0041】

続いて、メモリセル領域の活性領域2をレジストによりマスクし、周辺回路領域の活性領域に存するONO膜6を $\text{CF}_4 + \text{CHF}_3 / \text{O}_2$ ガス等を用いて全面除去し、活性領域2のレジストを除去した後、周辺回路領域の活性領域に熱酸化によりゲート絶縁膜（不図示）を形成する。このとき、ビットライン5はONO膜6で覆われているため、ゲート絶縁膜の形成時の熱処理の影響は少なく、シリコン酸化膜21のビットライン5上の部位の更なる増速酸化は抑制され、膜厚増加は殆ど見られない。

【0042】

続いて、メモリセル領域及び周辺回路領域の各活性領域に、n型不純物、ここではリン(P)を $0.2 \sim 3 \times 10^{21} / \text{cm}^3$ の濃度にドーピングしたアモルファス・シリコン(DASi)膜（不図示）をCVD法により100nm～150nm程度の膜厚に形成する。

【0043】

続いて、図2(a)及び図3（平面図）に示すように、このDASi膜を熱処理してポリシリコン膜とし、当該ポリシリコン膜及びONO膜6をフォトリソグラフィ及びそれに続くドライエッチングによりパターニングして、各ビットラ

イン5とONO膜6を介して直交し、ゲート電極として機能する帯状の各ワードライン7を形成する。ここで、ポリシリコン膜上にタングステン・シリサイド (WSi) 膜を形成し、ポリサイド構造のワードラインを形成して、配線の低抵抗化を図るようにしても好適である。

【0044】

続いて、図2(b)に示すように、ワードライン7を覆うように、高温熱CVD酸化膜(HTO膜)8及びBPSSG膜9を順次形成し、ワードライン7等に通じるコンタクト孔(不図示)を形成した後、リフロー処理により平坦化されたBPSSG膜9上でコンタクト孔を充填するようにアルミ合金膜をスパッタ法により成膜する。そして、このアルミ合金膜をフォトリソグラフィー及びそれに続くドライエッチングによりパターニングして、上層配線11を形成する。

【0045】

しかる後、上層配線11を覆う保護膜12を形成し、更なる層間絶縁膜やコンタクト孔(ビア孔)、配線等の形成工程を経て、埋め込みビットライン型のフラッシュメモリを完成させる。

【0046】

このフラッシュメモリを用いて記憶情報を書き込むには、図4に示すように、チャネル・ホット・エレクトロン(CHE)又はドレイン・アバランシェ・ホット・キャリア(DAHC)により、ドレイン端に電子を注入する。なおこの場合、ソース/ドレインの電圧を入れ換えることで、ソース端への電子注入を行うことも可能である。即ち、1つのメモリセルで2箇所への書き込み(電子注入)ができる。

【0047】

また、このフラッシュメモリを用いて記憶情報を消去するには、図5(a)、(b)に示すように、ファウラー・ノルドハイム(FN)トンネルにより、ONO膜6から電荷を引き抜くことにより、或いはバンド間トンネルで生じた正孔とドレイン-基板間電界によるホットホールをONO膜6へ注入することにより行う。図示の例は、後者のバンド間トンネルによるものである。なおこの場合、ドレイン端に電子注入した場合の消去例を示すが、ソースにも同様の電圧を印加す

ることで、ドレイン端と同時にソース端の一括消去が可能となる。

【0048】

また、このフラッシュメモリを用いて記憶情報を読み出す方法について図6で説明する。シリコン窒化膜22中に負の電荷が存在する状態では、チャネルが切断されてソース／ドレイン間の電流は流れない（図6（a））。この状態をデータ“0”とする。また、シリコン窒化膜22中に電子が無い状態では、チャネルがつながり電流が流れる（図6（b））。この状態をデータ“1”とする。

【0049】

－実験例－

ここで、第1の実施形態によるフラッシュメモリの諸特性について、上述した従来例との比較に基づいて調べた実験結果について述べる。当該各実験では、上述した従来例1、従来例2を比較例として従来例①、従来例②とし、本実施形態を本発明①として図7～図9に示す。

【0050】

（実験例1）

まず、フラッシュメモリにおけるソース／ドレイン－ゲート電極間の電圧とリーク電流との関係について調べた。この実験結果を図7に示す。なお、図7中ではリーク電流を対数表示する。

ONO膜の耐圧は15V程度必要であるが、図示のように、本発明①ではビットライン（ソース／ドレイン）上のシリコン酸化膜が最も厚い従来例②と同程度の耐圧が確保されていることが判る。

【0051】

（実験例2）

フラッシュメモリにおいて、記憶情報の消去／書き込みの回数と電荷保持特性との関係について調べた。この実験結果を図8に示す。なお、図8中では電荷保持特性を相対値で表示する。

消去／書き込み（サイクル）を繰り返した後、150℃で2時間の熱処理を行ったときの電荷保持特性について調べたところ、図示のように、本発明①では、ビットライン（ソース／ドレイン）上のシリコン酸化膜が最も薄くバースピーク

が最も小さい従来例①と同等の電荷保持特性が得られることが判る。

【 0 0 5 2 】

（実験例 3）

フラッシュメモリにおいて、記憶情報の消去／書き込みの回数と閾値電圧（ V_{th} ）との関係について調べた。この実験結果を図 9（a），（b），（c）に示す。

書き込み条件を $V_d = 5.9 \text{ V}$ 、 $V_g = 9.5 \text{ V}$ 、書き込み時間 $= 3 \mu\text{s}$ とし、消去条件を $V_d = 7.0 \text{ V}$ 、 $V_g = 3.0 \text{ V}$ 、消去時間 $= 10 \text{ ms}$ としたところ、図示のように、本発明①と従来例①、②との間で消去／書き込み速度に変化は見られなかった。なお、この実験結果に基づき、実験例 2 ではサイクルを同条件で行った。

【 0 0 5 3 】

以上説明したように、本実施形態では、ビットライン 5 の不純物（砒素）を活性化した後、ONO 膜 6 を形成する。この ONO 膜 6 の成膜時において、ONO 膜 6 の構成要素であるシリコン酸化膜 2 1 が増速酸化によりビットライン 5 上のみで厚く形成され、これによりビットライン 5 とワードライン 7 との間の電氣的絶縁が十分確保される。しかもこの場合、ONO 膜 6 の形成後の各種熱処理（周辺回路領域のゲート絶縁膜の形成等）の際には、ビットライン 5 上のシリコン酸化膜 2 1 の当該厚膜部分上は、ONO 膜 6 の他の構成要素（シリコン窒化膜 2 2 及びシリコン酸化膜 2 3）に覆われているため、シリコン酸化膜 2 1 の当該厚膜部分はさほど増速酸化されず、バースピークは無視し得る程度に抑えられる。

【 0 0 5 4 】

即ち本実施形態では、フラッシュメモリが完成するまでの諸工程を通して、ONO 膜 6 は、ビットライン 5 上でビットライン 5 - ワードライン 7 間の電氣的絶縁を十分に確保し、且つ電荷保持特性を劣化させるバースピークを生成しない程度の最適範囲の膜厚に保たれる。これにより、トランジスタ特性を向上させて極めて信頼性の高いフラッシュメモリが実現する。

【 0 0 5 5 】

（第 2 の実施形態）

本実施形態では、第 1 の実施形態と同様に、いわゆる埋め込みビットライン型のフラッシュメモリについて例示するが、ビットラインの形成工程が異なる点で相違する。なお、第 1 の実施形態で開示したフラッシュメモリの構成部材等と共通するものについては同符号を記す。

【 0 0 5 6 】

図 1 0、図 1 1 は、第 2 の実施形態による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

このフラッシュメモリを製造するには、先ず図 1 0 (a) に示すように、p 型のシリコン半導体基板 1 を用意し、この半導体基板 1 の表面に例えば LOCOS 法により素子分離領域にフィールド酸化膜 (不図示) 形成して素子分離を施し、メモリセル領域の活性領域 2 及び CMOS トランジスタ等が形成される周辺回路領域の活性領域 (不図示) を画定する。

【 0 0 5 7 】

この場合、LOCOS 法を用いる代わりに、半導体基板 1 の素子分離領域に溝 (不図示) を形成し、当該溝内に絶縁物を充填させて活性領域を画定するようにしても良い。

【 0 0 5 8 】

続いて、活性領域 2 上に酸素雰囲気中で $900^{\circ}\text{C} \sim 1100^{\circ}\text{C}$ の熱処理を施して $200\text{nm} \sim 500\text{nm}$ 程度の膜厚の犠牲酸化膜 3 を形成した後、犠牲酸化膜 3 上にレジストを塗布し、このレジストをフォトリソグラフィーにより加工して各々が所定間隔離間する帯状の各レジストパターン 4 を形成する。

【 0 0 5 9 】

続いて、図 1 0 (b) に示すように、各レジストパターン 4 をマスクとして、半導体基板 1 の表層に犠牲酸化膜 3 を通過する条件、ここでは加速エネルギー 50keV 、ドーズ量 $2 \sim 3 \times 10^{15} / \text{cm}^2$ の条件で n 型不純物、例えば砒素 (As) をイオン注入した後、続いて増速酸化抑制機能を有する物質、ここでは窒素イオンを加速エネルギー $2 \sim 10\text{keV}$ 、ドーズ量 $0.5 \sim 4 \times 10^{15} / \text{cm}^2$ の条件でイオン注入する。

【 0 0 6 0 】

この増速酸化抑制機能を有する物質としては、窒素、炭素、窒素又は炭素を含む化合物から選ばれた一種であれば良い。これらの不純物が存在するときに熱処理を行うと、半導体基板 1 の表面にこれらの不純物が集合し、 SiN 又は SiC を形成して、これが酸素の半導体基板 1 内への拡散を抑えると考えられるからである。従って、窒素イオンの代わりに炭素イオンをイオン注入するようにしても好適である。更に、当該物質の導入法としてはイオン注入に限定されず、例えば当該物質の雰囲気中で熱処理して当該物質を半導体基板 1 内に導入するようにしても良い。この場合、増速酸化抑制機能を有する物質としては、上記した増速酸化抑制の理由から、 NO_2 、 NO 、 NH_3 、 C_xH_y (x , y は適当な数) から選ばれた 1 種を用いることが好適である。

【 0 0 6 1 】

続いて、レジストパターン 4 を灰化処理等の手法により除去した後、窒素雰囲気中（不活性ガス中でも良い。）で 1050°C 、10 分のアニール処理を行い、イオン注入した砒素を活性化し、帯状の各ビットライン 5 を形成する。これらビットライン 5 は、当該フラッシュメモリのソース/ドレインとして機能することになる。

【 0 0 6 2 】

続いて、図 10 (c) に示すように、半導体基板 1 上に、シリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなる 3 層構造の ONO 膜 6 を成膜する。

具体的には、先ず、熱酸化により半導体基板 1 上にシリコン酸化膜 2 1 を $7\text{ nm} \sim 8\text{ nm}$ 程度の膜厚に形成する。このとき熱処理により、ビットライン 5 内に存する砒素に起因して、シリコン酸化膜 2 1 の当該ビットライン 5 上の部位が増速酸化されて $30\text{ nm} \sim 50\text{ nm}$ 程度に膜厚が増加する。但しこの場合、イオン注入された窒素イオンの増速酸化抑制機能により、窒素イオン注入を行わない第 1 の実施形態の場合に比して当該膜厚増加は抑制される。

【 0 0 6 3 】

続いて、シリコン酸化膜 2 1 上に CVD 法により $600^\circ\text{C} \sim 800^\circ\text{C}$ でシリコン窒化膜 2 2 を膜厚 5 nm 程度に形成する。そして、シリコン窒化膜 2 2 上に CVD 法によりシリコン酸化膜 2 3 を膜厚 10 nm 程度に形成し、ONO 膜 6 とす

る。

【0064】

続いて、メモリセル領域の活性領域2をレジストによりマスクし、周辺回路領域の活性領域に存するONO膜6を $\text{CF}_4 + \text{CHF}_3 / \text{O}_2$ ガス等を用いて全面除去し、活性領域2のレジストを除去した後、周辺回路領域の活性領域に熱酸化によりゲート絶縁膜（不図示）を形成する。このとき、ビットライン5はONO膜6で覆われているため、ゲート絶縁膜の形成時の熱処理の影響は少なく、シリコン酸化膜21のビットライン5上の部位における更なる増速酸化は抑制され、膜厚増加は殆ど見られない。

【0065】

続いて、メモリセル領域及び周辺回路領域の各活性領域に、n型不純物、ここではリン(P)を $0.2 \sim 3 \times 10^{21} / \text{cm}^3$ の濃度にドーピングしたアモルファス・シリコン(DASi)膜（不図示）をCVD法により100nm～150nm程度の膜厚に形成する。

【0066】

続いて、図11(a)に示すように、このDASi膜を熱処理してポリシリコン膜とし、当該ポリシリコン膜及びONO膜6をフォトリソグラフィー及びそれに続くドライエッチングによりパターニングして、各ビットライン5とONO膜6を介して直交し、ゲート電極として機能する帯状の各ワードライン7を形成する。ここで、ポリシリコン膜上にタングステン・シリサイド(WSi)膜を形成し、ポリサイド構造のワードラインを形成して、配線の低抵抗化を図るようにしても好適である。

【0067】

続いて、図11(b)に示すように、ワードライン7を覆うように、高温熱CVD酸化膜(HTO膜)8及びBPSG膜9を順次形成し、ワードライン7等に通じるコンタクト孔（不図示）を形成した後、リフロー処理により平坦化されたBPSG膜9上でコンタクト孔を充填するようにアルミ合金膜をスパッタ法により成膜する。そして、このアルミ合金膜をフォトリソグラフィー及びそれに続くドライエッチングによりパターニングして、上層配線11を形成する。

【 0 0 6 8 】

しかる後、上層配線 1 1 を覆う保護膜 1 2 を形成し、更なる層間絶縁膜やコンタクト孔（ビア孔）、配線等の形成工程を経て、埋め込みビットライン型のフラッシュメモリを完成させる。

【 0 0 6 9 】

以上説明したように、本実施形態では、ビットライン 5 の不純物（砒素）を活性化し、更に増速酸化抑制機能を持つ窒素（炭素）をイオン注入した後に、ONO 膜 6 を形成する。この ONO 膜 6 の成膜時において、ONO 膜 6 の構成要素であるシリコン酸化膜 2 1 が増速酸化によりビットライン 5 上のみで厚く形成され、これによりビットライン 5 とワードライン 7 との間の電氣的絶縁が十分確保される。しかもこの場合、ONO 膜 6 の形成後の各種熱処理（周辺回路領域のゲート絶縁膜の形成等）の際には、ビットライン 5 上のシリコン酸化膜 2 1 の当該厚膜部分上は、ONO 膜 6 の他の構成要素（シリコン窒化膜 2 2 及びシリコン酸化膜 2 3）に覆われているため、更には窒素（炭素）の増速酸化抑制機能によりシリコン酸化膜 2 1 の当該厚膜部分はさほど増速酸化されず、バースピークは無視し得る程度に抑えられる。

【 0 0 7 0 】

即ち本実施形態では、フラッシュメモリが完成するまでの諸工程を通して、ONO 膜 6 は、ビットライン 5 上でビットライン 5 - ワードライン 7 間の電氣的絶縁を十分に確保し、且つ電荷保持特性を劣化させるバースピークを生成しない程度の最適範囲の膜厚に保たれる。しかも、窒素（炭素）の増速酸化抑制機能により当該膜厚を更に薄く制御することができる。これにより、トランジスタ特性を向上させて極めて信頼性の高いフラッシュメモリが実現する。

【 0 0 7 1 】

（第 3 の実施形態）

本実施形態では、第 1 の実施形態と同様に、いわゆる埋め込みビットライン型のフラッシュメモリについて例示するが、ビットラインの形成工程が異なる点で相違する。なお、第 1、第 2 の実施形態で開示したフラッシュメモリの構成部材等と共通するものについては同符号を記す。

【 0 0 7 2 】

図 1 2, 図 1 3 は、第 3 の実施形態による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

このフラッシュメモリを製造するには、先ず図 1 2 (a) に示すように、 p 型のシリコン半導体基板 1 を用意し、この半導体基板 1 の表面に例えば L O C O S 法により素子分離領域にフィールド酸化膜 (不図示) 形成して素子分離を施し、メモリセル領域の活性領域 2 及び C M O S トランジスタ等が形成される周辺回路領域の活性領域 (不図示) を画定する。

【 0 0 7 3 】

この場合、 L O C O S 法を用いる代わりに、半導体基板 1 の素子分離領域に溝 (不図示) を形成し、当該溝内に絶縁物を充填させて活性領域を画定するようにしても良い。

【 0 0 7 4 】

続いて、活性領域 2 上に酸素雰囲気中で $900^{\circ}\text{C} \sim 1100^{\circ}\text{C}$ の熱処理を施して $200\text{nm} \sim 500\text{nm}$ 程度の膜厚の犠牲酸化膜 3 を形成した後、犠牲酸化膜 3 上にレジストを塗布し、このレジストをフォトリソグラフィーにより加工して各々が所定間隔離間する帯状の各レジストパターン 4 を形成する。

【 0 0 7 5 】

続いて、図 1 2 (b) に示すように、各レジストパターン 4 をマスクとして、半導体基板 1 の表層に犠牲酸化膜 3 を通過する条件、ここでは加速エネルギー 50keV 、ドーズ量 $2 \sim 3 \times 10^{15} / \text{cm}^2$ の条件で n 型不純物、例えば砒素 (As) をイオン注入する。

【 0 0 7 6 】

続いて、増速酸化抑制機能を有する物質、ここでは窒素イオンを加速エネルギー $2 \sim 30\text{keV}$ 、ドーズ量 $1 \sim 5 \times 10^{15} / \text{cm}^2$ の条件で、半導体基板 1 の表面に対して斜め方向からイオン注入する。ここで、窒素イオンの注入角 θ は、隣接するレジストパターン 4 間の距離 (ビットライン 5 の幅) を x 、レジストパターン 4 の厚みを y とし、

$$\tan \theta = x / y$$

を満たす程度の角 θ を用いて、

$$\theta - 10^\circ \leq \Theta \leq \theta + 10^\circ$$

とすることが好適である。

【0077】

この増速酸化抑制機能を有する物質としては、窒素、炭素、窒素又は炭素を含む化合物から選ばれた一種であれば良い。これらの不純物が存在するときに熱処理を行うと、半導体基板1の表面にこれらの不純物が集合し、SiN又はSiCを形成して、これが酸素の半導体基板1内への拡散を抑えと考えられるからである。従って、窒素イオンの代わりに炭素イオンをイオン注入するようにしても好適である。更に、当該物質の導入法としてはイオン注入に限定されず、例えば当該物質の雰囲気中で熱処理して当該物質を半導体基板1内に導入するようにしても良い。この場合、増速酸化抑制機能を有する物質としては、上記した増速酸化抑制の理由から、 NO_2 、 NO 、 NH_3 、 C_xH_y （ x 、 y は適当な数）から選ばれた1種を用いることが好適である。

【0078】

続いて、レジストパターン4を灰化处理等の手法により除去した後、窒素雰囲気中（不活性ガス中でも良い。）で1050℃、10分のアニール処理を行い、イオン注入した砒素を活性化し、帯状の各ビットライン5を形成する。これらビットライン5は、当該フラッシュメモリのソース/ドレインとして機能することになる。

【0079】

続いて、図12（c）に示すように、半導体基板1上に、シリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなる3層構造のONO膜6を成膜する。

具体的には、先ず、熱酸化により半導体基板1上にシリコン酸化膜21を7nm～8nm程度の膜厚に形成する。このとき熱処理により、ビットライン5内に存する砒素に起因して、シリコン酸化膜21の当該ビットライン5上の部位が増速酸化されて30nm～50nm程度に膜厚が増加する。但しこの場合、イオン注入された窒素イオンの増速酸化抑制機能により、窒素イオン注入を行わない第1の実施形態の場合に比して当該膜厚増加は抑制される。

【0080】

続いて、シリコン酸化膜21上にCVD法により600℃～800℃でシリコン窒化膜22を膜厚5nm程度に形成する。そして、シリコン窒化膜22上にCVD法によりシリコン酸化膜23を膜厚10nm程度に形成し、ONO膜6とする。

【0081】

続いて、メモリセル領域の活性領域2をレジストによりマスクし、周辺回路領域の活性領域に存するONO膜6を $\text{CF}_4 + \text{CHF}_3 / \text{O}_2$ ガス等を用いて全面除去し、活性領域2のレジストを除去した後、周辺回路領域の活性領域に熱酸化によりゲート絶縁膜（不図示）を形成する。このとき、ビットライン5はONO膜6で覆われているため、ゲート絶縁膜の形成時の熱処理の影響は少なく、シリコン酸化膜21のビットライン5上の部位における更なる増速酸化は抑制され、膜厚増加は殆ど見られない。

【0082】

続いて、メモリセル領域及び周辺回路領域の各活性領域に、n型不純物、ここではリン(P)を $0.2 \sim 3 \times 10^{21} / \text{cm}^3$ の濃度にドーピングしたアモルファス・シリコン(DASi)膜（不図示）をCVD法により100nm～150nm程度の膜厚に形成する。

【0083】

続いて、図13(a)に示すように、このDASi膜を熱処理してポリシリコン膜とし、当該ポリシリコン膜及びONO膜6をフォトリソグラフィー及びそれに続くドライエッチングによりパターニングして、各ビットライン5とONO膜6を介して直交し、ゲート電極として機能する帯状の各ワードライン7を形成する。ここで、ポリシリコン膜上にタングステン・シリサイド(WSi)膜を形成し、ポリサイド構造のワードラインを形成して、配線の低抵抗化を図るようにしても好適である。

【0084】

続いて、図13(b)に示すように、ワードライン7を覆うように、高温熱CVD酸化膜(HTO膜)8及びBP SG膜9を順次形成し、ワードライン7等に

通じるコンタクト孔（不図示）を形成した後、リフロー処理により平坦化された B P S G 膜 9 上でコンタクト孔を充填するようにアルミ合金膜をスパッタ法により成膜する。そして、このアルミ合金膜をフォトリソグラフィー及びそれに続くドライエッチングによりパターンニングして、上層配線 1 1 を形成する。

【 0 0 8 5 】

しかる後、上層配線 1 1 を覆う保護膜 1 2 を形成し、更なる層間絶縁膜やコンタクト孔（ビア孔）、配線等の形成工程を経て、埋め込みビットライン型のフラッシュメモリを完成させる。

【 0 0 8 6 】

以上説明したように、本実施形態では、ビットライン 5 の不純物（砒素）を活性化し、更に増速酸化抑制機能を持つ窒素（炭素）をイオン注入した後に、O N O 膜 6 を形成する。この O N O 膜 6 の成膜時において、O N O 膜 6 の構成要素であるシリコン酸化膜 2 1 が増速酸化によりビットライン 5 上のみで厚く形成され、これによりビットライン 5 とワードライン 7 との間の電氣的絶縁が十分確保される。しかもこの場合、O N O 膜 6 の形成後の各種熱処理（周辺回路領域のゲート絶縁膜の形成等）の際には、ビットライン 5 上のシリコン酸化膜 2 1 の当該厚膜部分上は、O N O 膜 6 の他の構成要素（シリコン窒化膜 2 2 及びシリコン酸化膜 2 3）に覆われているため、更には窒素（炭素）の増速酸化抑制機能によりシリコン酸化膜 2 1 の当該厚膜部分の増速酸化が抑制され、バースピークは無視し得る程度に抑えられる。

【 0 0 8 7 】

しかも本実施形態では、窒素（炭素）を半導体基板 1 の表面に対して斜め方向からイオン注入するため、半導体基板 1 のソース／ドレイン間（チャネル）の端部位にも窒素（炭素）が導入される。これにより、チャネル端に、より奥まで窒素が注入され、バースピークの発生が抑止される。また、窒素イオン注入時には、ビットライン 5 上ではレジストパターン 4 が影になり窒素がイオン注入されず、この部分では増速酸化が抑えられることなくシリコン酸化膜 2 1 が厚くなり、十分な耐圧確保に寄与する。従って、記憶情報の書き込み時に電子が注入される領域の界面準位を終端し、電荷保持特性が向上することになる。

【 0 0 8 8 】

即ち本実施形態では、フラッシュメモリが完成するまでの諸工程を通して、ONO膜6は、ビットライン5上でビットライン5-ワードライン7間の電氣的絶縁を十分に確保し、且つ電荷保持特性を劣化させるバースピークを生成しない程度の最適範囲の膜厚に保たれる。しかも、窒素（炭素）の増速酸化抑制機能により当該膜厚を更に薄く制御することができ、更には窒素（炭素）を斜め方向からイオン注入することで電荷保持特性の更なる向上を担保する。これにより、トランジスタ特性を向上させて極めて信頼性の高いフラッシュメモリが実現することになる。

【 0 0 8 9 】

なお、本発明は第1～第3の実施形態に限定されるものではない。本発明は例えば、記憶情報を“0”，“1”とする単値メモリのみならず、“00”，“01”，“10”，“11”とする2値メモリや、更なる多値のメモリに適用することも可能である。

【 0 0 9 0 】

本発明の諸態様を付記として以下に示す。

【 0 0 9 1 】

（付記1）半導体基板の活性領域の表層に不純物を導入し、所定の雰囲気中で前記半導体基板を熱処理してソース領域及びドレイン領域を形成する第1の工程と、

前記第1の工程の後、前記活性領域を覆うように、電荷捕獲機能を有する第1の絶縁膜の上下を第2及び第3の絶縁膜で挟む少なくとも3層からなる積層膜を形成する第2の工程と、

前記積層膜上に電極材料を堆積し、前記電極材料及び前記積層膜をパターニングすることにより、前記半導体基板上で前記積層膜を介した所定形状のゲート電極を形成する第3の工程とを含むことを特徴とする半導体装置の製造方法。

【 0 0 9 2 】

（付記2）前記第3の工程において、前記ゲート電極を前記半導体基板上で前記積層膜を介して前記ソース領域上及び前記ドレイン領域上を交差するように形

成することを特徴とする付記 1 に記載の半導体装置の製造方法。

【 0 0 9 3 】

(付記 3) 前記第 1 の工程において、前記不純物導入を行った後、続いて前記活性領域に増速酸化抑制機能を有する物質を導入し、所定の雰囲気中で前記半導体基板を熱処理して前記ソース領域及び前記ドレイン領域を形成することを特徴とする付記 1 又は 2 に記載の半導体装置の製造方法。

【 0 0 9 4 】

(付記 4) 前記増速酸化抑制機能を有する物質は窒素、炭素、窒素又は炭素を含む化合物から選ばれた一種であることを特徴とする付記 3 に記載の半導体装置の製造方法。

【 0 0 9 5 】

(付記 5) 前記増速酸化抑制機能を有する物質は窒素イオン又は炭素イオンであり、当該物質を前記活性領域にイオン注入することを特徴とする付記 4 に記載の半導体装置の製造方法。

【 0 0 9 6 】

(付記 6) 前記増速酸化抑制機能を有する物質は NO_2 、 NO 、 NH_3 、 C_xH_y (x 、 y は適当な数) から選ばれた 1 種であり、当該物質の雰囲気中で熱処理して当該物質を前記活性領域に導入することを特徴とする付記 4 に記載の半導体装置の製造方法。

【 0 0 9 7 】

(付記 7) 前記活性領域に前記増速酸化抑制機能を有する物質を導入するに際して、前記活性領域表面に対して斜め方向から前記物質をイオン注入することを特徴とする付記 5 に記載の半導体装置の製造方法。

【 0 0 9 8 】

(付記 8) 電荷捕獲機能を有する前記第 1 の絶縁膜はシリコン窒化膜であることを特徴とする付記 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 9 9 】

(付記 9) 半導体基板の表層にソース領域及びドレイン領域を備え、前記半導体基板上の前記ソース領域と前記ドレイン領域との間に、電荷捕獲機能を有する

第 1 の絶縁膜の上下を第 2 及び第 3 の絶縁膜で挟む少なくとも 3 層からなる積層膜を介してゲート電極が形成されてなる半導体装置であって、

前記ゲート電極は、前記半導体基板上で前記積層膜を介して前記ソース領域上及び前記ドレイン領域上を交差するように形成されており、

前記ソース領域及び前記ドレイン領域は、前記不純物と共に、増速酸化抑制機能を有する物質を含むことを特徴とする半導体装置。

【 0 1 0 0 】

(付記 1 0) 前記増速酸化抑制機能を有する物質は窒素、炭素、窒素又は炭素を含む化合物から選ばれた一種であることを特徴とする付記 9 に記載の半導体装置。

【 0 1 0 1 】

(付記 1 1) 前記積層膜の前記第 1 の絶縁膜を容量絶縁膜として、前記半導体基板と前記ゲート電極とが容量結合してなる半導体メモリとして機能することを特徴とする付記 9 又は 1 0 に記載の半導体装置。

【 0 1 0 2 】

(付記 1 2) 前記積層膜の最下層である前記第 2 の絶縁膜は、前記ソース領域上及び前記ドレイン領域上において他の部位よりも厚く形成されていることを特徴とする付記 9 ～ 1 1 のいずれか 1 項に記載の半導体装置。

【 0 1 0 3 】

(付記 1 3) 前記ソース領域上及び前記ドレイン領域上における前記第 2 の絶縁膜の厚みが 3 0 n m ～ 5 0 n m の範囲内の値であることを特徴とする付記 1 2 に記載の半導体装置。

【 0 1 0 4 】

(付記 1 4) 半導体基板の表層にソース領域及びドレイン領域を備え、前記半導体基板上の前記ソース領域と前記ドレイン領域との間に、電荷捕獲機能を有する第 1 の絶縁膜の上下を第 2 及び第 3 の絶縁膜で挟む少なくとも 3 層からなる積層膜を介してゲート電極が形成されてなる半導体装置の製造方法であって、

半導体基板の活性領域の表層に不純物を導入し、所定の雰囲気中で前記半導体基板を熱処理して前記ソース領域及び前記ドレイン領域を形成した後に、前記積

層膜を形成することを特徴とする半導体装置の製造方法。

【 0 1 0 5 】

（付記 1 5）前記ゲート電極を前記半導体基板上で前記積層膜を介して前記ソース領域上及び前記ドレイン領域上を交差するように形成することを特徴とする付記 1 4 に記載の半導体装置の製造方法。

【 0 1 0 6 】

（付記 1 6）前記不純物導入を行った後、続いて前記活性領域に増速酸化抑制機能を有する物質を導入し、所定の雰囲気中で前記半導体基板を熱処理して前記ソース領域及び前記ドレイン領域を形成することを特徴とする付記 1 4 又は 1 5 に記載の半導体装置の製造方法。

【 0 1 0 7 】

（付記 1 7）前記増速酸化抑制機能を有する物質は窒素、炭素、窒素又は炭素を含む化合物から選ばれた一種であることを特徴とする付記 1 6 に記載の半導体装置の製造方法。

【 0 1 0 8 】

（付記 1 8）前記増速酸化抑制機能を有する物質は窒素イオン又は炭素イオンであり、当該物質を前記活性領域にイオン注入することを特徴とする付記 1 7 に記載の半導体装置の製造方法。

【 0 1 0 9 】

（付記 1 9）前記増速酸化抑制機能を有する物質は NO_2 、 NO 、 NH_3 、 C_xH_y （ x 、 y は適当な数）から選ばれた 1 種であり、当該物質の雰囲気中で熱処理して当該物質を前記活性領域に導入することを特徴とする付記 1 7 に記載の半導体装置の製造方法。

【 0 1 1 0 】

（付記 2 0）前記活性領域に前記増速酸化抑制機能を有する物質を導入するに際して、前記活性領域表面に対して斜め方向から前記物質をイオン注入することを特徴とする付記 1 8 に記載の半導体装置の製造方法。

【 0 1 1 1 】

（付記 2 1）電荷捕獲機能を有する前記第 1 の絶縁膜はシリコン窒化膜である

ことを特徴とする付記 1 4 ～ 2 0 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 1 1 2 】

【発明の効果】

本発明によれば、ビットラインとワードラインとの間の電氣的絶縁を十分確保するとともに、バースピークの発生等の不都合を抑止して優れた電荷保持特性を実現する半導体装置及びその製造方法、特に埋め込みビットライン構造の半導体メモリを提供することができる。

【図面の簡単な説明】

【図 1】

第 1 の実施形態による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

【図 2】

図 1 に引き続き、第 1 の実施形態による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

【図 3】

各ビットラインと各ワードラインとが直交するように形成された様子を示す概略平面図である。

【図 4】

第 1 の実施形態によるフラッシュメモリを用いて記憶情報を書き込む様子を示す概略断面図である。

【図 5】

第 1 の実施形態によるフラッシュメモリを用いて記憶情報を消去する様子を示す概略断面図である。

【図 6】

第 1 の実施形態によるフラッシュメモリを用いて記憶情報を読み出す様子を示す概略断面図である。

【図 7】

第 1 の実施形態及びその比較例によるフラッシュメモリにおけるソース／ドレ

インーゲート電極間の電圧とリーク電流との関係を示す特性図である。

【図 8】

第 1 の実施形態及びその比較例によるフラッシュメモリにおける記憶情報の消去／書き込みの回数と電荷保持特性との関係を示す特性図である。

【図 9】

第 1 の実施形態及びその比較例によるフラッシュメモリにおいて、記憶情報の消去／書き込みの回数と閾値電圧 (V_{th}) との関係を示す特性図である。

【図 1 0】

第 2 の実施形態による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

【図 1 1】

図 1 0 に引き続き、第 2 の実施形態による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

【図 1 2】

第 3 の実施形態による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

【図 1 3】

図 1 2 に引き続き、第 3 の実施形態による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

【図 1 4】

従来例 1 による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

【図 1 5】

従来例 2 による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

【図 1 6】

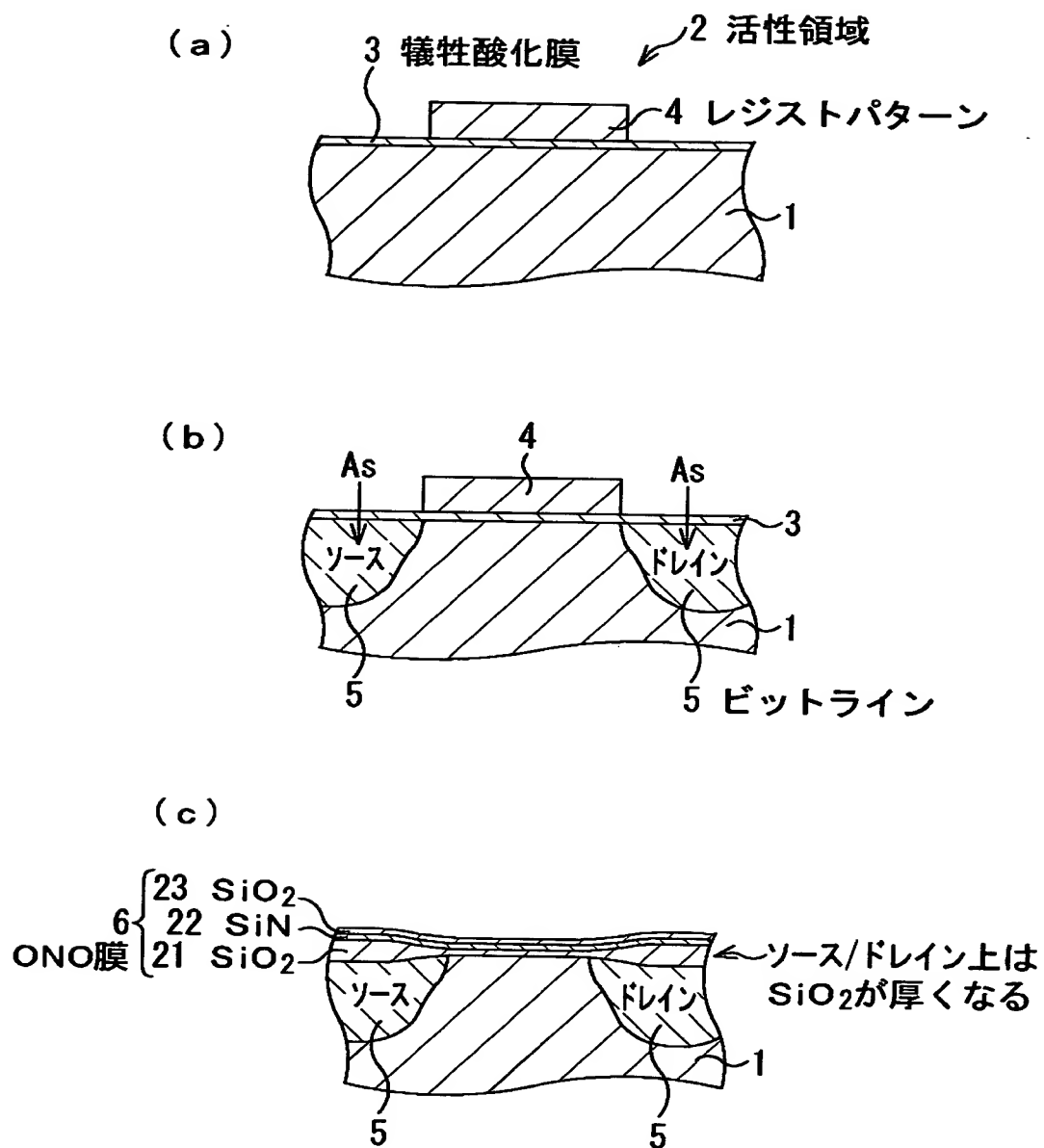
従来例 3 による埋め込みビットライン型のフラッシュメモリの製造方法を工程順に示す概略断面図である。

【符号の説明】

- 1 シリコン半導体基板
- 2 活性領域
- 3 犠牲酸化膜
- 4 レジストパターン
- 5 ビットライン
- 6 ONO膜
- 7 ワードライン
- 8 HTO膜
- 9 BPSG膜
- 1 1 上層配線
- 2 1 下層のシリコン酸化膜
- 2 2 シリコン窒化膜
- 2 3 上層のシリコン酸化膜

【書類名】 図面

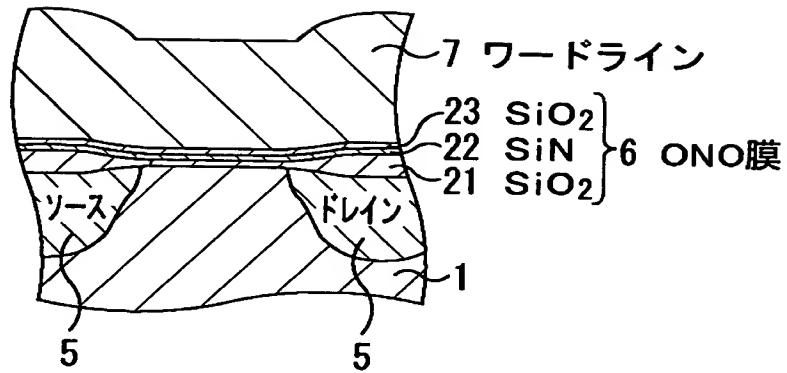
【図1】



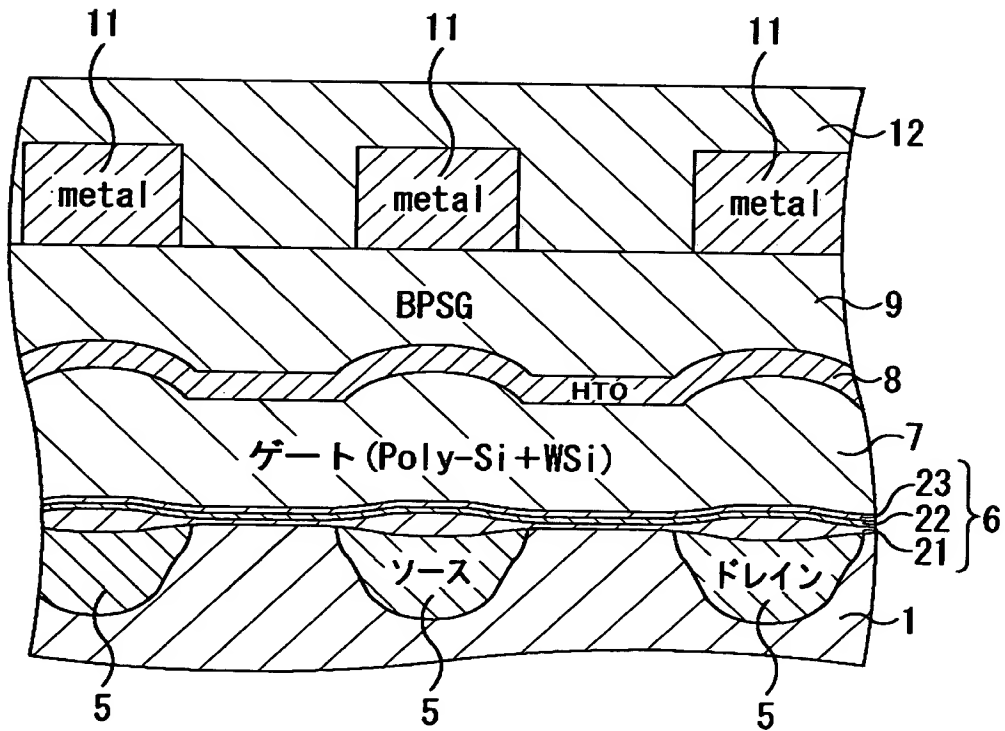
第1の実施形態の製造工程

【図 2】

(a)

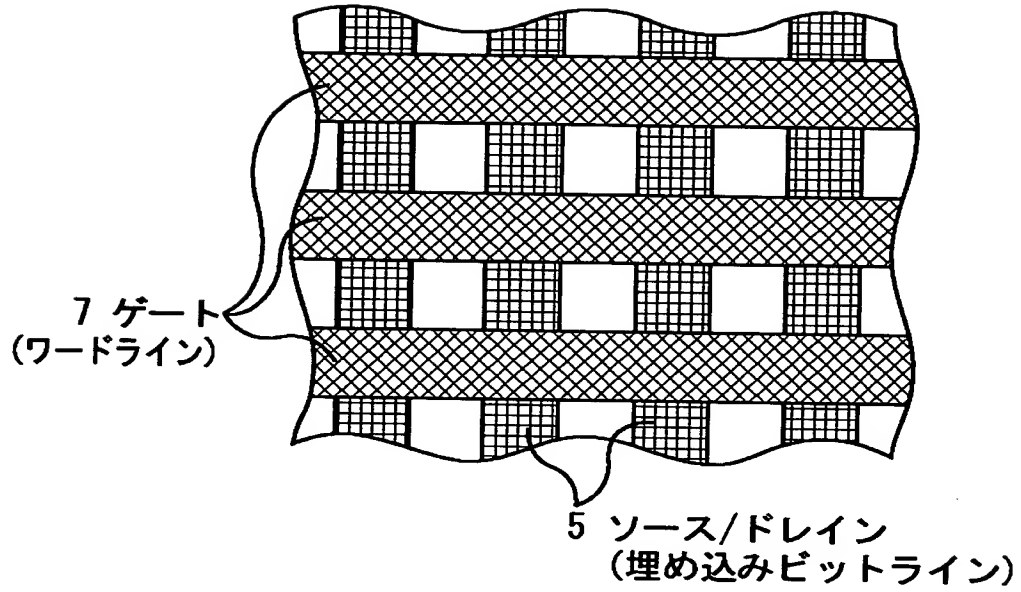


(b)

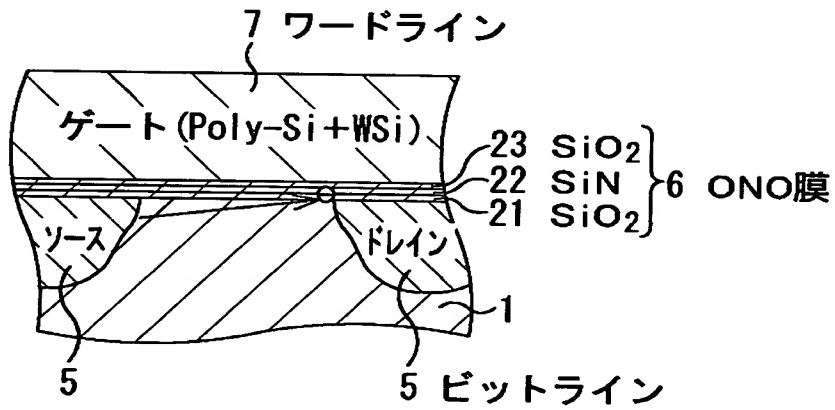


第1の実施形態の製造工程

【図 3】

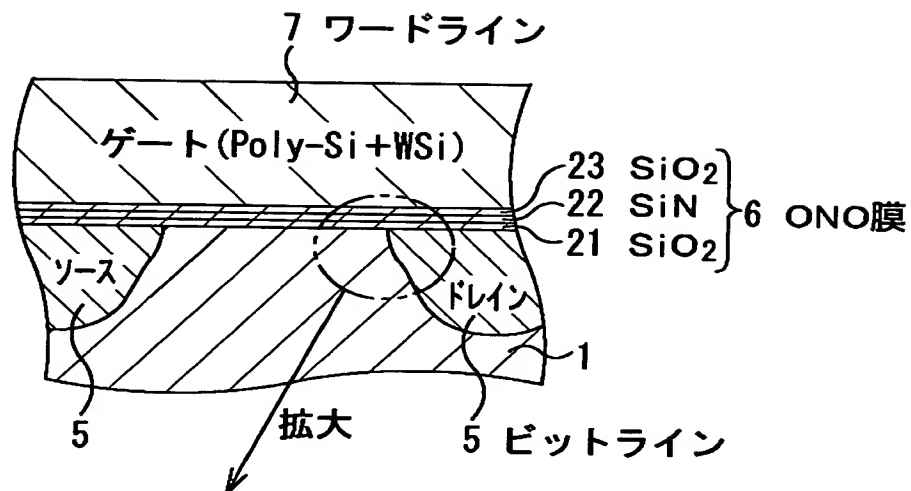


【図 4】

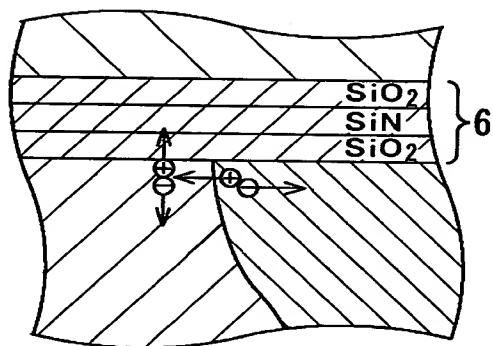


【図5】

(a)

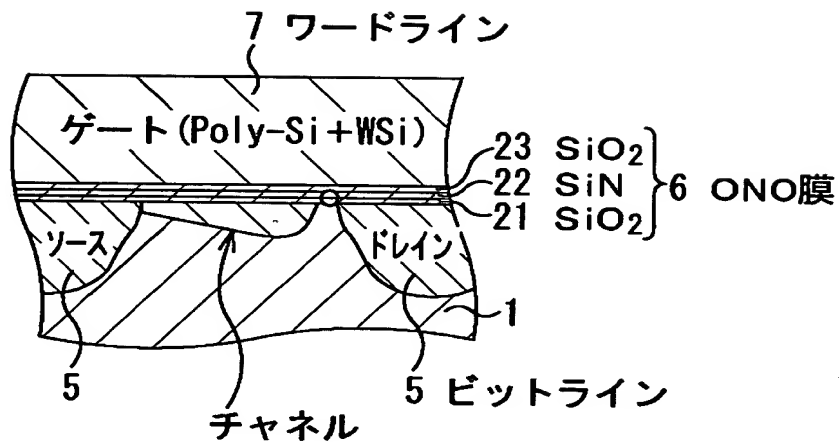


(b)

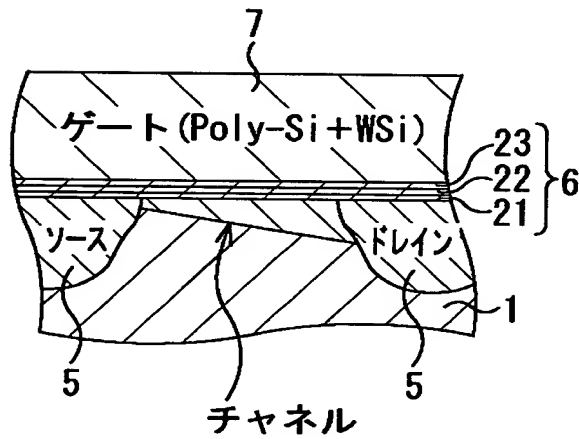


【図6】

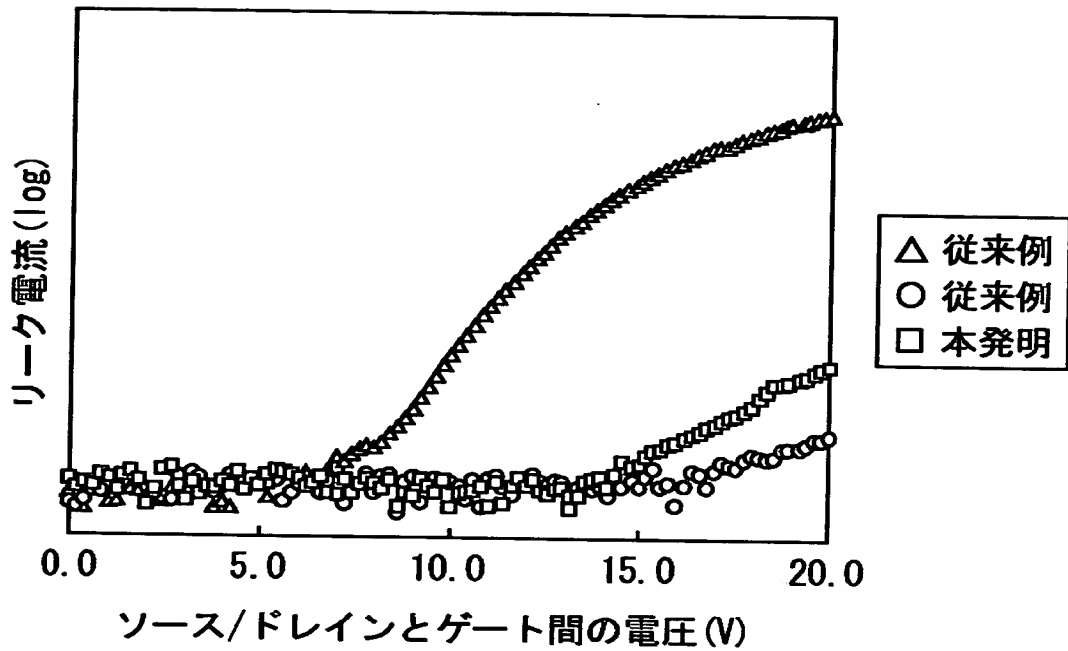
(a)



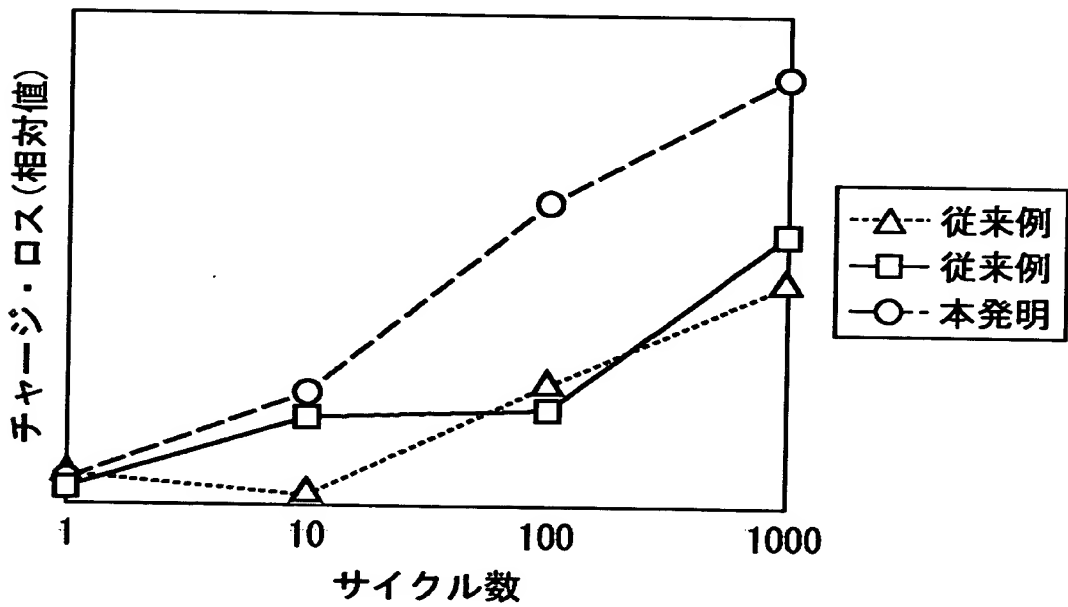
(b)



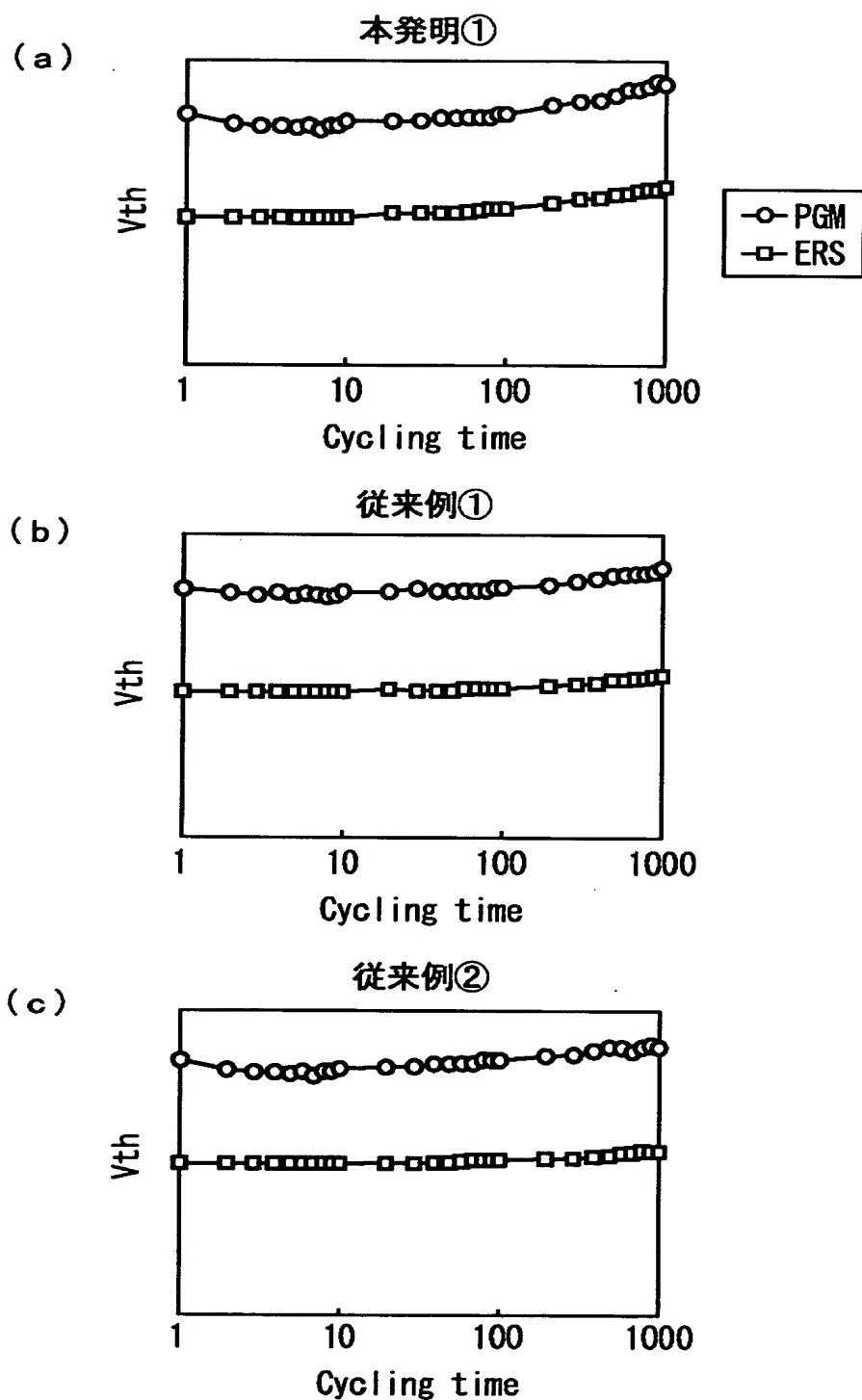
【図7】



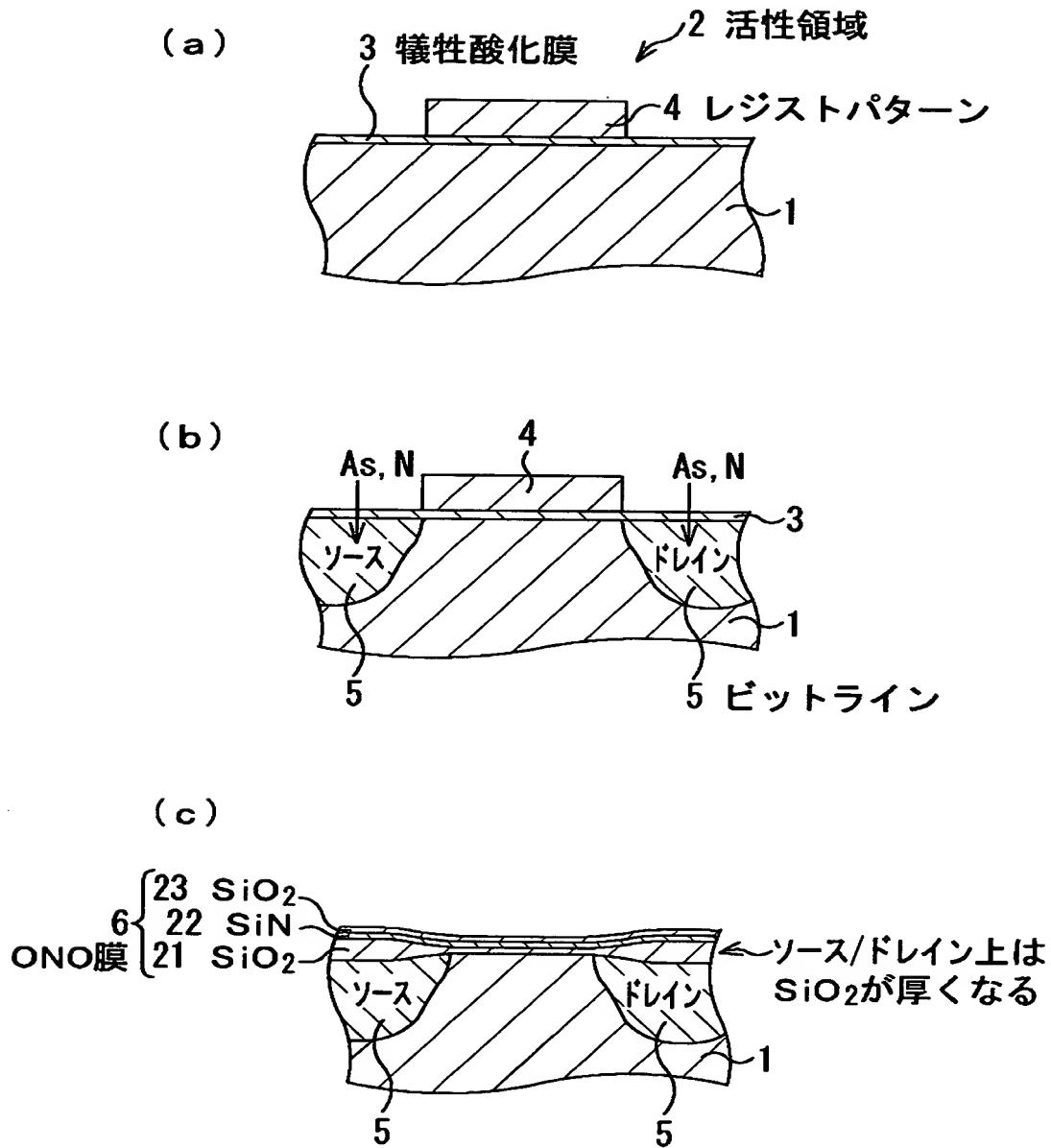
【図8】



【図9】



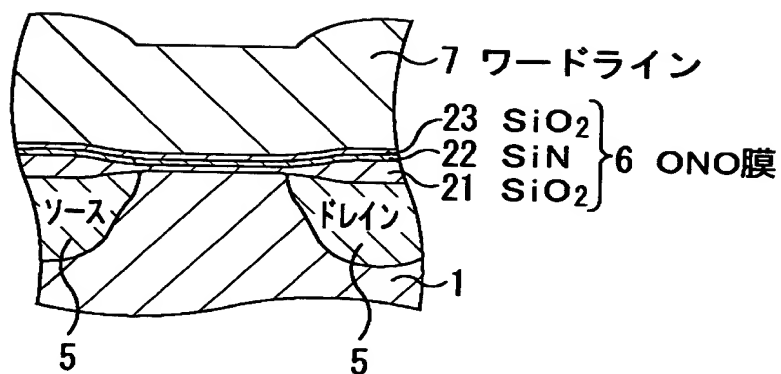
【図 1 0】



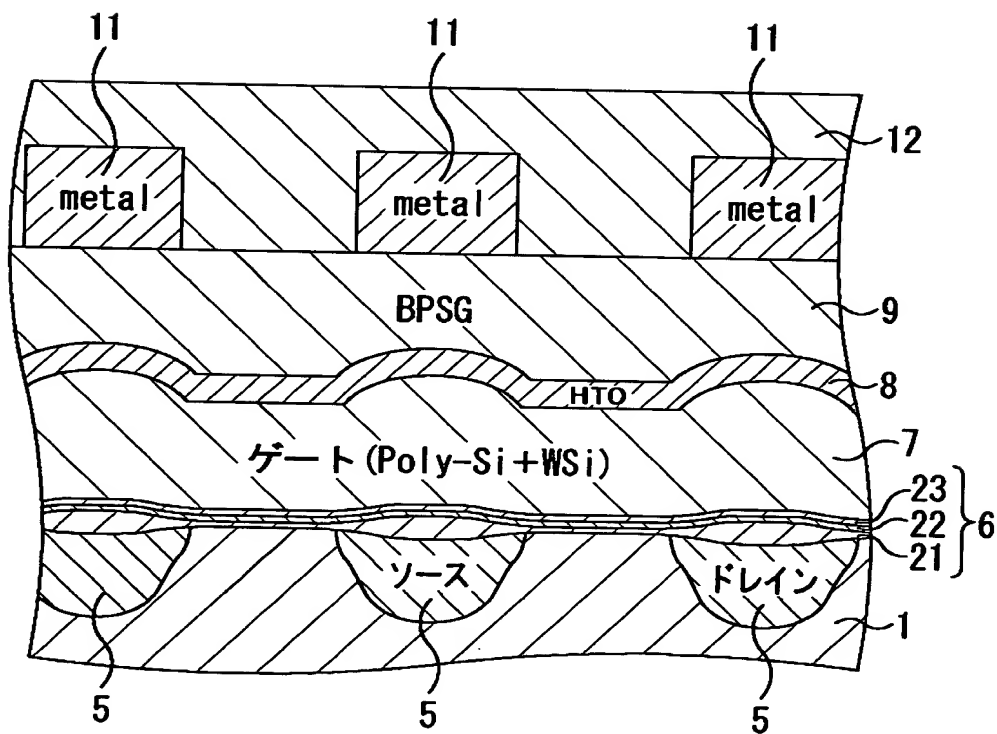
第2の実施形態の製造工程

【図11】

(a)

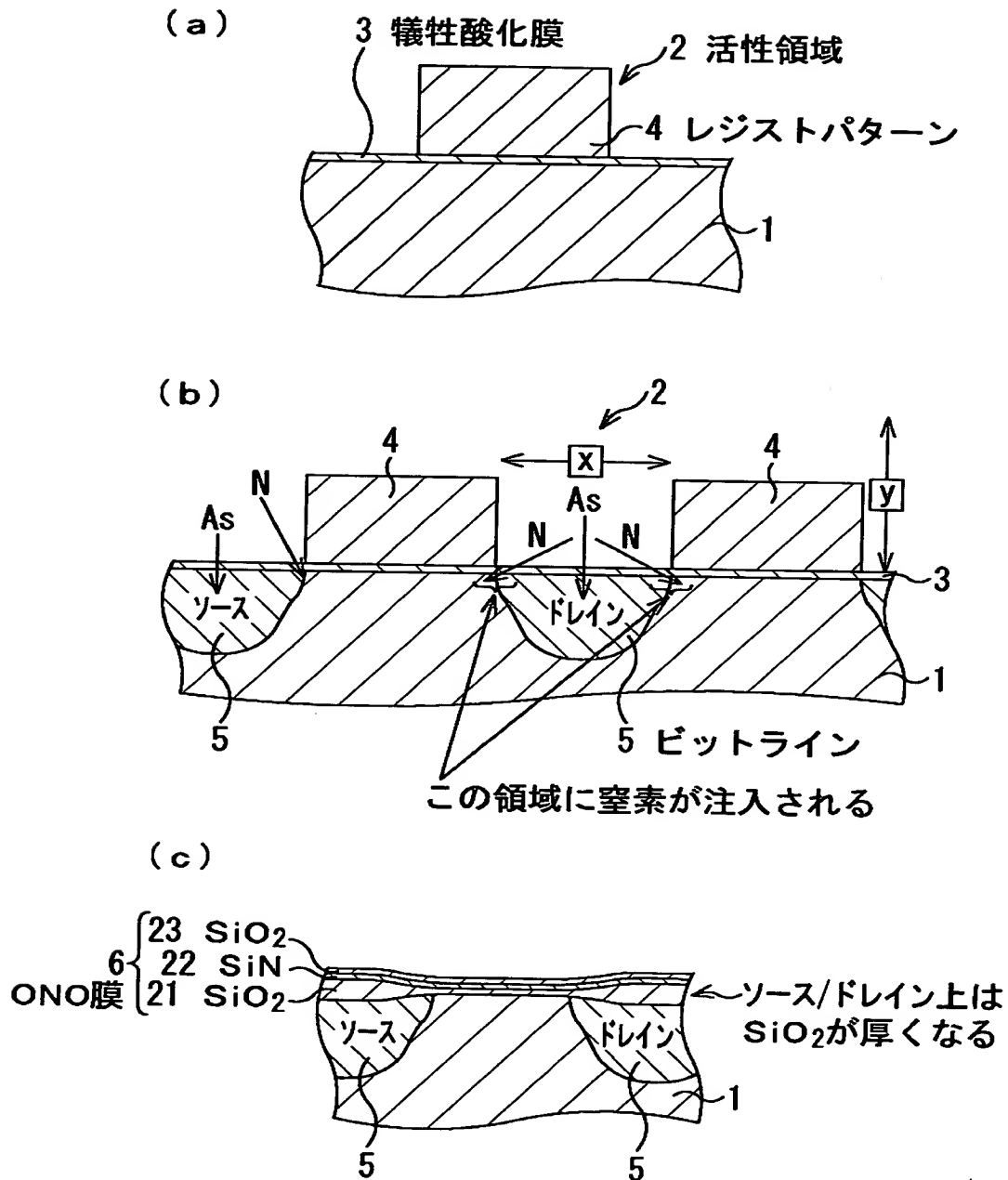


(b)



第2の実施形態の製造工程

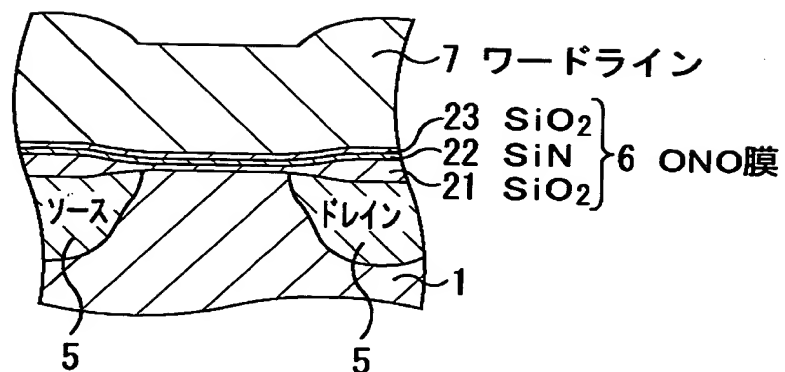
【図12】



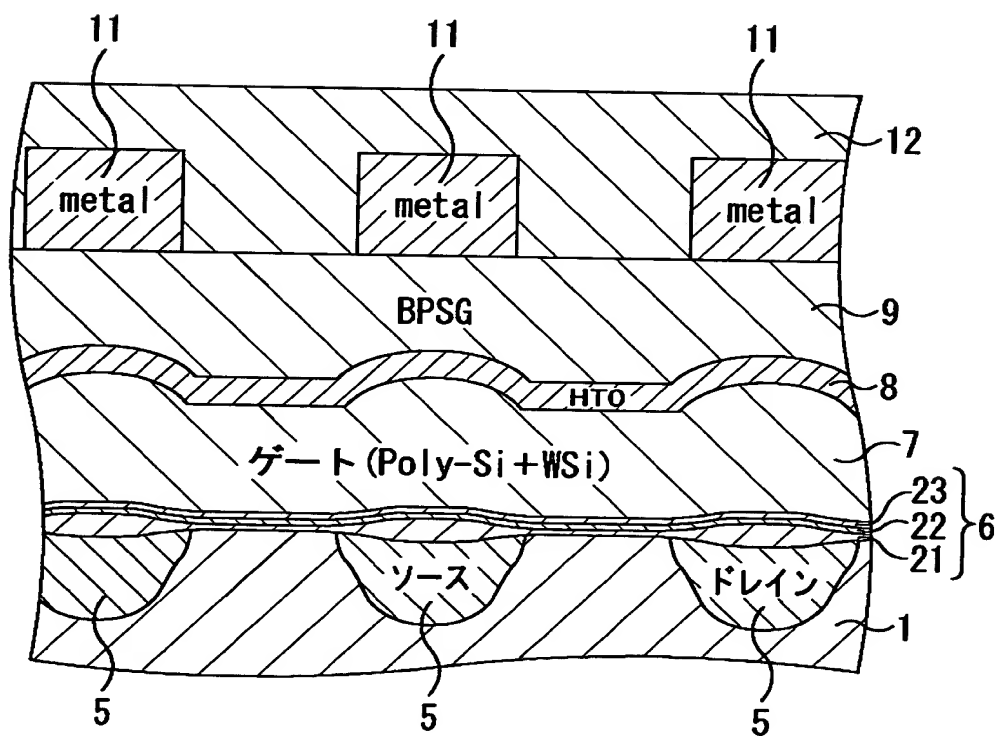
第3の実施形態の製造工程

【図13】

(a)



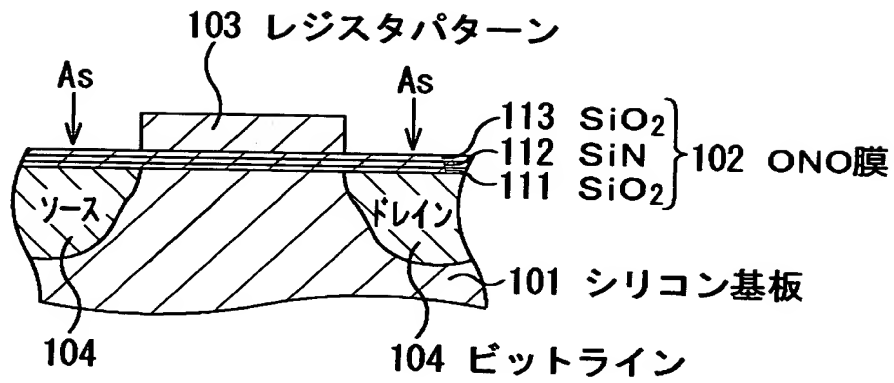
(b)



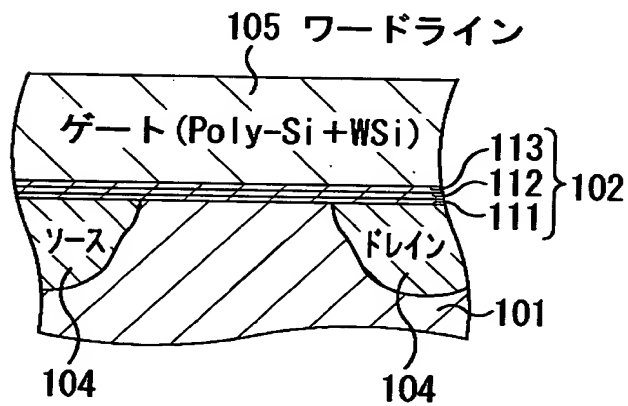
第3の実施形態の製造工程

【図14】

(a)

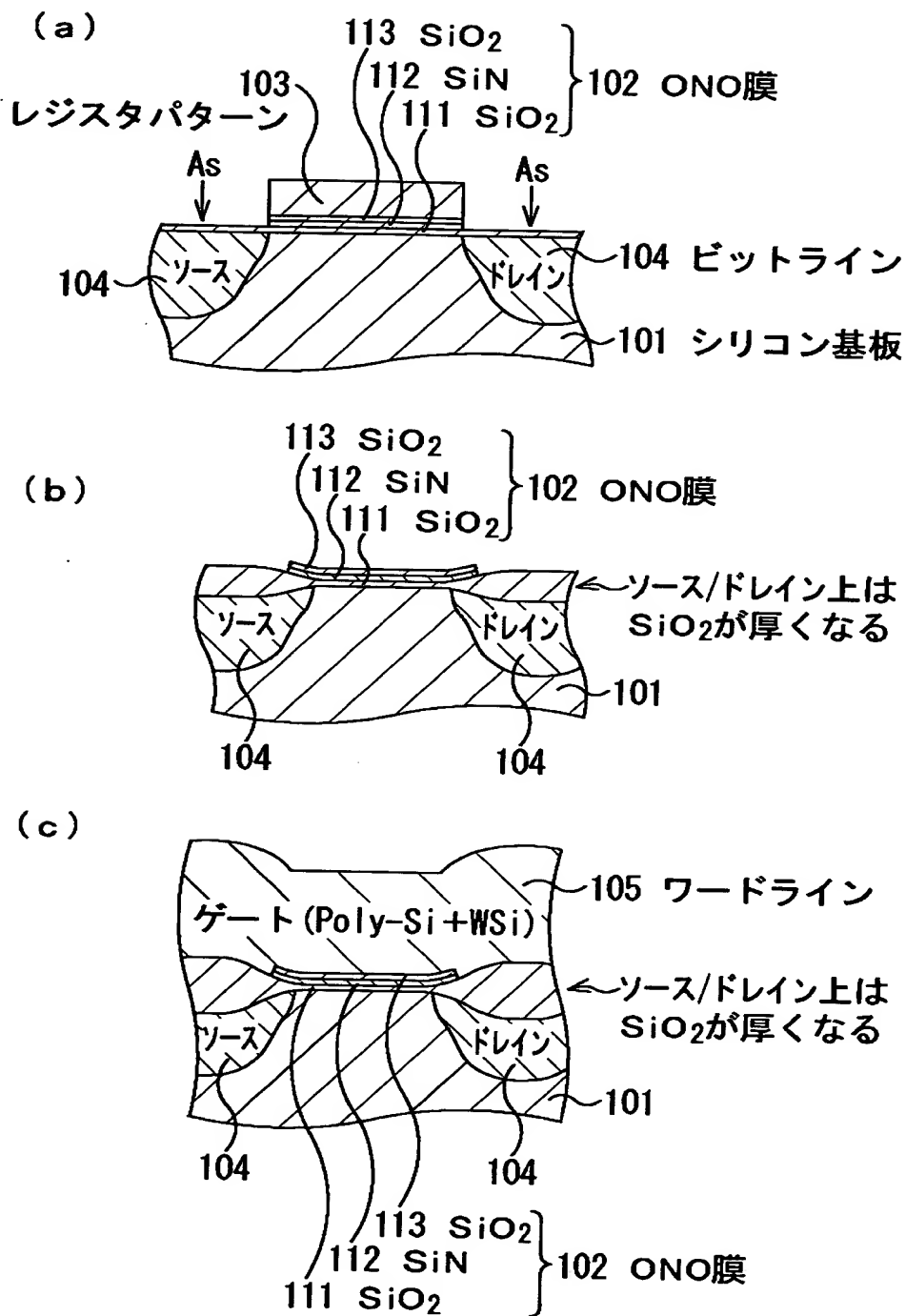


(b)



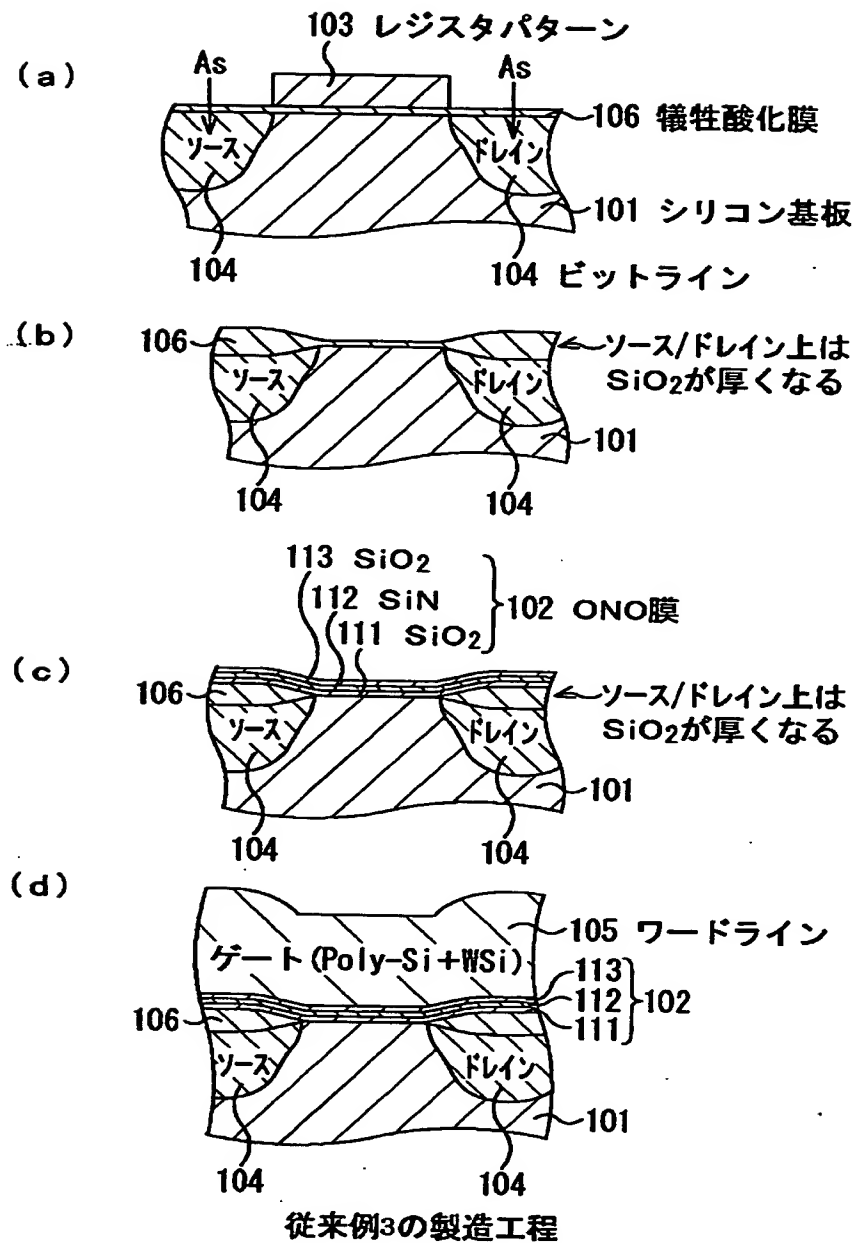
従来例1の製造工程

【図15】



従来例2の製造工程

【図16】



【書類名】 要約書

【要約】

【課題】 ビットラインとワードラインとの間の電氣的絶縁を十分確保するとともに、バースピークの発生等の不都合を抑止して優れた電荷保持特性を実現する。

【解決手段】 半導体基板 1 に不純物がイオン注入されて形成されたソース／ドレインとして機能するビットライン 5 と、ゲート電極として機能するワードライン 7 とが交差する構成の埋め込みビットライン型フラッシュメモリにおいて、ビットライン 5 を形成するための不純物のイオン注入及びその活性化のためのアニール処理を行った後に、シリコン酸化膜／シリコン窒化膜／シリコン酸化膜からなる 3 層構造の ONO 膜 6 を成膜する。

【選択図】 図 1

特2001-076585

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日

1996年 3月26日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中4丁目1番1号

氏 名

富士通株式会社